

基于 UVM 的 DBF 系统模块级可重用验证平台的实现

邓庆勇¹, 朱 鹏¹, 习建博^{1,2}

(1 中国电子科技集团第三十八研究所 数字技术中心, 安徽 合肥 230088;

2 中国电子科技集团第三十八研究所 孔径阵列与空间探测安徽省重点实验室, 安徽 合肥 230088)

摘 要: 针对雷达系统中 FPGA 验证系统搭工作量大, 验证覆盖率低等现存问题, 基于 FPGA+DSP 结构中 FPGA 模块结构的特点, 采用 UVM(通用验证方法学)搭建通用模块的验证平台, 大大提高验证平台重用性、验证覆盖率和验证效率。最后, 以多路复用分数延迟滤波器模块为例, 编写测试激励和参考模型, 实现对多路复用分数延迟滤波器的快速验证。

关键词: UVM; 验证平台; 功能验证; 可重用

中图分类号: TN4

文献标识码: A

文章编号: 1000—7180(2018)01—0115—03

The Implementation of Universal Verification Platform for Sub-model of DBF System Based on UVM

DENG Qing-yong¹, ZHU Peng¹, XI Jian-bo^{1,2}

(1 Digital Technology Center, No. 38 Research Institute, China Electronic Technology Group Corporation, Hefei 230008, China; Key Laboratory of Aperture Array and Space Application, No. 38 Research Institute, China Electronic Technology Group Corporation, Hefei 230008, China)

Abstract: In the radar system, DBF(digital beam forming) system usually adopts FPGA+DSP. Aimed at the FPGA in DBF system, based on UVM(Universal Verification Methodology), we established a Universal Verification Platform for DBF FPGA model, to enhance the verification platform reusability and verification coverage ratio, the verification platform can improve verification efficiency. Finally, based on the universal verification platform, by means of add test stimulations and reference model to verify an fractional delay filter model in DBF system.

Key words: UVM; testbench; function verification; reusable

1 引言

雷达系统中普遍使用 FPGA(可编程逻辑阵列)完成信号处理任务,但是一般验证平台的代码编写工作量大、验证环境重用性低、验证覆盖率低等,导致了 FPGA 开发时往往存在严重的验证工作不足的缺点。由于 FPGA 的编译特点,在线调试时出现问题时,依靠在线逻辑分析仪,编译和问题查找都需要消耗大量的时间,特别不利于后期的系统联合调试,只有充分的验证才是解决此问题的最优方法。使用 Verilog 或者 VHDL 编写验证环境由于验证环境通用性较,导致代码工作量较大,且往往花费大量

时间也难以实现全面的验证。在 FPGA 设计时,设计者往往选择只测试关键的功能,甚至不测试,这无疑给后期调试增加巨大不的确定因素。

针对传统 RTL(寄存器传输级)代码验证平台重用性差、覆盖率低和自动化程度低等问题,在吸取了 OVM、VMM 和 ERM 等验证方法优点的基础上,三大 EDA 公司(Mentor、Cadence 和 Synopsys)联合业内其他公司共同推出 UVM 验证方法学。UVM(Universal Verification Methodology)验证方法学基于系统级硬件描述语言 SystemVerilog,具备面向对象编程的思想和功能,同时为验证工程师建立了一套基于 SystemVerilog 语言标准组件库,可

如图 2 所示,在搭建的通用测试平台的顶层环境(top env)中,包含三个环境组建,对应 DUT 的三类接口,三类环境采用一致的结构,如图中显示的 GPIO 环境中的结构,包括一个配置类,一个发送代理和一个接受代理.发送代理负责发送激励到 DUT,同时监测 DUT 的输入,接受代理负责监测 DUT 的输出.两个监视器结果都输入到记分板中.

在顶层环境(top env)中除包括三类环境外,还包括配置模块(config),记分板.记分板中包括一个参考模型,所有监视器模块监测 DUT 的输入或输出后,传递给记分板.在记分板中,参考模型根据输入的数据序列,模拟 RTL 的行为得到预期结果,完成预测任务.参考模型使用 C 语言编写,测试平台基于 SystemVerilog 语言, SystemVerilog 提供了直接编程接口(DPI),使用 DPI 实现两个语言功能性兼容.

验证平台配置采用自顶而下的方式,顶层配置模块中包括验证平台的全部配置信息,下层模块在程序运行中获取上层配置模块的信息,完成全平台配置.系统的配置信息包括输入数据的位宽和长度、输入参数的数据位宽和长度、gpio 验证环境数量以及每个验证环境中信号的位宽等.

在测试项(test case)中,虚拟序列发生器调用各个模块的序列发生器,通过时序排列,产生符合需求的测试激励.方便根据需求添加序列发生器和虚拟序列发生器,做复杂功能的测试,增强系统的重用性.

在实际应用时,基于搭建的通用验证平台,针对不同的设计需求,只需配置相关的参数并编写参考模型,编写虚拟序列发生器和参考模型,就可实现自动化测试,大大降低了验证工作量,提高验证效率.

5 结束语

本文利用 UVM 验证方法学的高重用性特点,基于 DBF 系统中模块的验证的需求,使用 UVM 验证方法学搭建通用的模块验证平台.使用该验证平台可以使验证人员只关注测试激励和参考模型的编

4 分数延迟滤波器验证

基于搭建的验证平台,针对 DBF 中的多路复用分数延迟滤波器设计,通过配置参数、编写参考模型和虚拟序列发生器,完成模块的功能验证.

对于宽带数字阵列雷达,相同的时延不同的频率会带来相移的不同,为实现宽带数字阵列各阵元传输时延的精确补偿,引入分数时延滤波器^[6],DBF 技术的有源相控阵雷达中,采用阵列天线同时接收多路信,分数延迟滤波器需要多路复用,以降低 FPGA(现场可编程逻辑阵列)资源的消耗.验证的 DUT 设计使用的实现架构如图 3 所示.

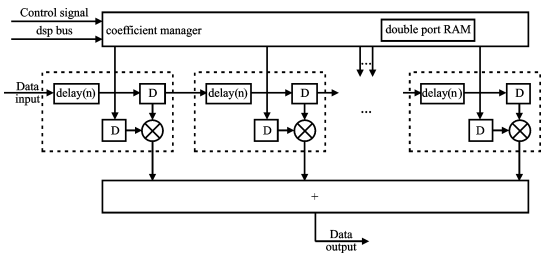


图 3 多路复用滤波器架构

滤波器设计同时采用参数化合模块化编码,设计延迟可变的抽取乘法模块.通过参数可以配置例化模块个数和延迟周期,以改变滤波器的阶数和通道数,使本模块更加通用.

采用第三节中的通用验证环境,针对 DUT 的参数设计,可以在顶层配置模块配置参数:基于多路复用滤波器 RTL 代码,编写 C 语言的参考模型,即可实现随机化激励的自动测试.

在开发测试平台时,使用脚本语言实现测试平台自动化运行.运行结果的覆盖率输出如图 4 所示.

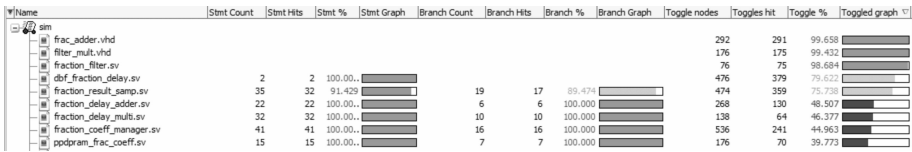


图 4 覆盖率输出

写,大大降低验证环境搭建复杂度,极大提高验证效率.此外,利用 UVM 的随机约束的激励发生器,可以大大提高同等时间可以达到的覆盖率.最后通过多路复用分数延迟滤波器验证平台搭建,展示该平台的使用.

Big Data. IEEE, 2015;343-350.

[5] Moré J J. The levenberg-marquardt algorithm: Implementation and theory[J]. Lecture Notes in Mathematics, 1977, 630:105-116.

[6] Lacher R C, Hruska S I, Kuncicky D C. Back-propagation learning in expert networks[J]. IEEE Transactions on Neural Networks, 1992, 3(1):62-72.

[7] Athitsos V, Papapetrou P, Potamias M, et al. Approximate embedding-based subsequence matching of time series [C]//Proceedings of the 2008 ACM SIGMOD International Conference on Management of Data. ACM,2008;365-378.

[8] 何世彪,敖仙丹,吴乐华. 3σ 准则在基于谱相关信号检测中的应用[J]. 通信技术, 2008, 41(6): 52-54.

[9] 刘永志,皮德常,贾学萍. 基于三点的时间序列关键点研究[J]. 微电子学与计算机, 2015,32(1):45-47.

[10] Xu ZS. On similarity measures of interval-valued intuitionistic fuzzy sets and their application to pattern recognitions[J]. Journal of Southeast University (English Edition) 2007; 23: 139-143.

[11] 李婕好,陈志军,闫学勤. LM-BP 算法在径流预测中的应用[J]. 人民黄河, 2015, 37(6):29-31.

[12] Keogh E, Chakrabarti K, Pazzani M, et al. Dimensionality reduction for fast similarity search in large time series databases[J]. Knowledge and information Systems, 2001, 3(3): 263-286.

[13] 刘峰,瞿俊. 基于聚类分析和神经网络的时间序列预测方法[J]. 微电子学与计算机, 2006, 23(9):85-87.

作者简介:

周金玉 女,(1995-),硕士研究生. 研究方向为数据挖掘. E-mail: pattyzhou@hhu. edu. cn.

万定生 男,(1963-),教授. 研究方向为信息处理与信息系统.

肖 艳 女,(1991-),硕士研究生. 研究方向为数据挖掘.

(上接第 117 页)

参考文献:

[1] Mentor Graphics Corporation. Mentor graphics verification academy cookbook[M/OL]. [2017-06-01]. <https://www.mentor.com/company/news/mentor-verification-academy-launches-coverage-cookbook>.

[2] Accellera. Universal Verification Methodology (UVM) 1.2 User's Guide[M/OL]. [2017-06-01]. <http://www.accellera.org/downloads/standards/uvm/>.

[3] 彭宏涛,朱德智. 基于 Farrow 滤波器的宽带数字波束形成技术研究及实现[J]. 舰船电子对抗, 2015, 38(2):37-41.

[4] 宋何娟,马强. 应用于数字阵列雷达的数字波束形成(DBF)的设计与实现[J]. 中国集成电路, 2010, 205(4):42-45.

[5] 张强, UVM 实战卷 1. 2014[M]. 北京:机械工业出版社, 2014.

[6] 成 超,李会勇,何子述. 基于子阵时延的数字阵列宽带波束形成[J]. 雷达科学与技术, 2008, 6(6), 459-462.

作者简介:

邓庆勇 男,(1987-),博士,工程师. 研究方向为雷达系统、雷达信号处理、FPGA 测试. E-mail:dqy19870509@sina. com.

朱 鹏 男,(1987-),硕士,工程师. 研究方向为雷达系统、雷达信号处理、FPGA 测试.

习建博 男,(1986-),博士,工程师. 研究方向为雷达系统、雷达信号处理、FPGA 测试.